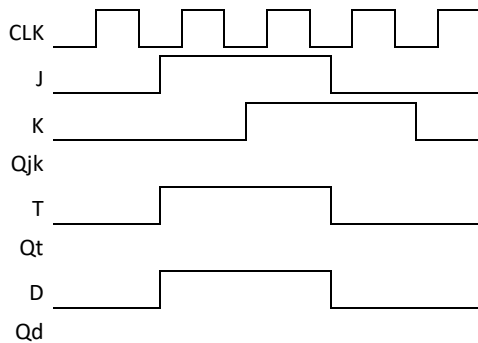


Laboratório 7: Semana 6 de Novembro a 16 de Novembro

Objetivos:

Verificação de funcionamento de flip-flops D, T e JK. Implementação de flip-flops a partir de outros flip-flops. Configuração de um dispositivo do tipo FPGA utilizando o ambiente Xilinx ISE

Exercício 21: Biestáveis JK, T e D



Complete o diagrama temporal apresentado ao lado recorrendo ao simulador do ambiente Xilinx WebPack/ISE disponível no laboratório.

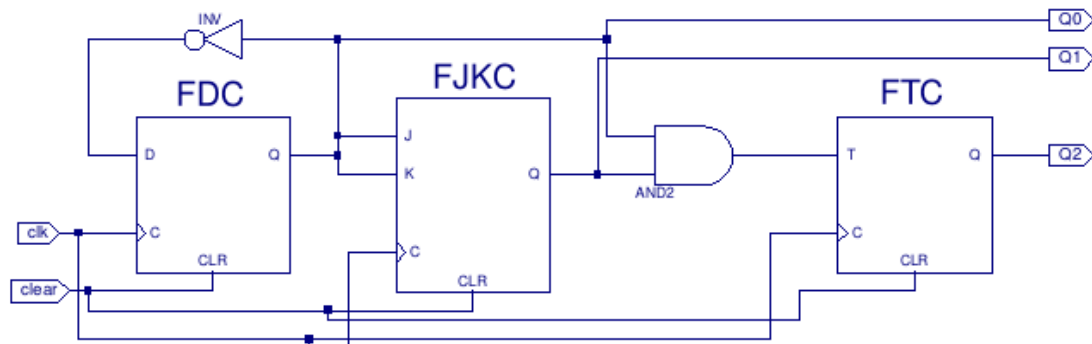
```
tb : PROCESS
BEGIN
    clk <= '0'; wait for 20 ns;
    clk <= '1'; wait for 20 ns;
END PROCESS;

J <= '0', '1' after 50 ns, '0' after 130 ns;
K <= '0', '1' after 90 ns, '0' after 170 ns;
T <= '0', '1' after 50 ns, '0' after 130 ns;
D <= '0', '1' after 50 ns, '0' after 130 ns;
```

Exercício 22:

- A partir de um flip-flop JK implemente um flip-flop do tipo T (entrada T e saída QT)
- A partir de um flip-flop D implemente um flip-flop do tipo JK (entradas J e K, saída QJK)
- A partir de um flip-flop T implemente um flip-flop do tipo D (entrada D, saída QD)

Exercício 23: Verificação de funcionamento de contador síncrono



- Edite o esquemático apresentado no ambiente webPack/ISE da Xilinx.
- Gere o diagrama temporal associado recorrendo ao simulador disponível no ambiente, considerando que o sinal de "clear" se encontra a '1' apenas nos primeiros 50 ns e que o sinal "clk" é um sinal periódico, com um período de 40 ns.
- Confirme experimentalmente os resultados obtidos na alínea b) configurando a FPGA da placa de experimentação disponível no laboratório. Considere a seguinte lista de pinos (ficheiro .UCF):

```
NET "clk" LOC = "G12";
NET "clk" CLOCK_DEDICATED_ROUTE = FALSE;
NET "clear" LOC = "P11";
NET "Q0" LOC = "M5";
NET "Q1" LOC = "M11";
NET "Q2" LOC = "P7";
```

